

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-256106  
 (43)Date of publication of application : 21.09.2001

(51)Int.CI.

G06F 12/06

(21)Application number : 2000-069530

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 13.03.2000

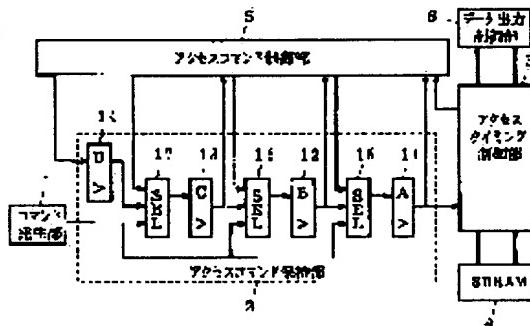
(72)Inventor : KAWADA YUICHI  
TAKEUCHI KENJI

## (54) MEMORY ACCESS SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a memory access system for shortening access time even at the time of random access to a DRAM and performing acceleration.

**SOLUTION:** A write command generated in a command generation part 1 is held in an access command holding part 2. Corresponding to the bank address of an SDRAM 4 accessed in a command during execution in an access timing control part 3 and the bank addresses of the respective write commands held in the access command holding part 2, an access command control part 5 rearranges the write commands inside the access command holding part 2 so as to make the bank addresses of the continuous commands non-continuous. Also, one or plural write commands inside the access command holding part 2 are divided and rearranged as needed. Thus, bank precharging and bank activating processings are performed parallelly to the access of data and memory access is accelerated.



## LEGAL STATUS

[Date of request for examination] 25.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-256106

(P 2001-256106 A)

(43) 公開日 平成13年9月21日 (2001. 9. 21)

(51) Int. Cl.  
G06F 12/06

識別記号  
550

F I  
G06F 12/06

テーマコード (参考)  
A 5B060

審査請求 未請求 請求項の数 2 O L (全10頁)

(21) 出願番号 特願2000-69530 (P 2000-69530)

(22) 出願日 平成12年3月13日 (2000. 3. 13)

(71) 出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂二丁目17番22号

(72) 発明者 河田 祐一

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社内

(72) 発明者 竹内 健二

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社内

(74) 代理人 100101948

弁理士 柳澤 正夫

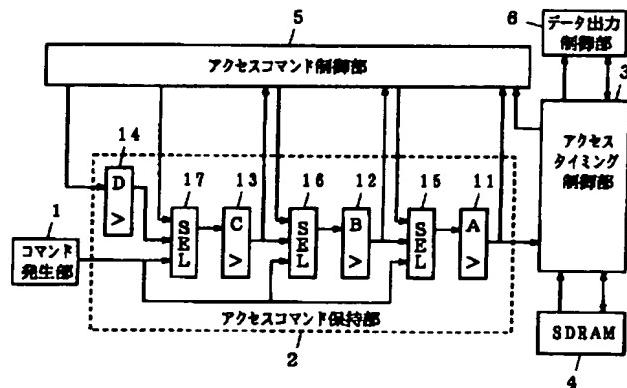
F ターム (参考) 5B060 CA04 CD04

(54) 【発明の名称】メモリアクセスシステム

(57) 【要約】

【課題】 DRAMへのランダムアクセス時にもアクセス時間を短縮して高速化したメモリアクセスシステムを提供する。

【解決手段】 コマンド発生部1で発生したライトコマンドがアクセスコマンド保持部2に保持される。アクセスタイミング制御部3で実行中のコマンドにおいてアクセスしているSDRAM4のバンクアドレスと、アクセスコマンド保持部2に保持されている各ライトコマンドのバンクアドレスに従い、アクセスコマンド制御部5は、連続するコマンドのバンクアドレスが連続しないように、アクセスコマンド保持部2内のライトコマンドを並べ替える。また、必要に応じてアクセスコマンド保持部2内の1ないし複数のライトコマンドを分割し、並べ替えを行う。これによって、バンクプリチャージ及びバンクアクティブの処理を、データのアクセスと並行して行い、メモリアクセスを高速化することができる



## 【特許請求の範囲】

【請求項1】 DRAMへアクセスするためのアクセスコマンドを複数保持するアクセスコマンド保持手段と、前記アクセスコマンド保持手段に保持されている複数のアクセスコマンドを現在処理をしているコマンドと次に処理するコマンドが違うバンクアドレスをアクセスするように前記アクセスコマンド保持手段内の前記アクセスコマンドを入れ替えるアクセスコマンド制御手段を備えたことを特徴とするメモリアクセスシステム。

【請求項2】 前記アクセスコマンド制御手段は、連続するアクセスコマンドが別のバンクをアクセスするように前記アクセスコマンド保持手段に保持されている複数のアクセスコマンドのうち一部または全部を複数のアクセスコマンドに分割することを特徴とする請求項1に記載のメモリアクセスシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、DRAMへアクセスするためのメモリアクセスシステムに関するものであり、特にメモリをランダムアクセスする際に用いて好適なメモリアクセスシステムに関するものである。

## 【0002】

【従来の技術】 まず一般的なDRAMアクセスについて説明する。図6は、一般的なSDRAMの構成の模式図である。ここではバンクアドレス0とバンクアドレス1の2つのバンクから構成されており、各バンクにおいてはロウアドレスとカラムアドレスによってデータが特定される。ここでは簡単のためにロウアドレス、カラムアドレスとも0～7の値をとるものとして示している。また、バンクアドレス0、ロウアドレス0、カラムアドレス0～4には、データ「ABCDE」が格納されている。

【0003】 図7は、一般的なSDRAMへのアクセス時のタイミングチャートである。一例として、図6に示すように、バンクアドレス0、ロウアドレス0、カラムアドレス0～4までに5つのデータ「ABCDE」を格納する、1つのアクセスコマンドを処理する動作を示している。まず①のサイクルにおいて、アクセスするロウ信号をアサートし、アドレス信号としてアクセスするバンクアドレスおよびロウアドレスを指定する。これにより、指定されたバンクをアクティブ状態にする。なお、アドレス信号の表記は、左側の数字がバンクアドレスを示しており、右側の数字がロウアドレスあるいはカラムアドレスを示している（以下の説明において同じである）。例えば①のサイクルでは、アドレス信号として「00」と表記しているが、これはバンクアドレス0、ロウアドレス0を示している。

【0004】 次に②のサイクルにおいて、アクセスするカラム信号およびライト信号をアサートし、アドレス信号としてアクセスするバンクアドレスおよびカラムアド

レスを指定する。アドレス信号の表記は「00」であるが、これはバンクアドレス0、カラムアドレス0を示している。さらに②のサイクルにおいて、書き込む最初のデータ「A」をデータ信号にセットする。次のサイクルから順次、書き込むデータ「BCDE」をサイクル毎に出力する。このようにして5つのデータ「ABCDE」をSDRAMに書き込むことができる。

【0005】 次に、連続した複数のアクセスコマンドを処理する場合を説明する。アクセスコマンドが連続する場合として、はじめのアクセスコマンドと次のアクセスコマンドが同一バンクアドレスかつ同一ロウアドレスの場合、同一バンクアドレスであるが別のロウアドレスである場合、別のバンクアドレスの場合の3種類のコマンド間処理が考えられる。

【0006】 まず、はじめのアクセスコマンドと次のアクセスコマンドが同一バンクアドレスかつ同一ロウアドレスの場合のアクセスについて説明する。図8は、同一バンクアドレスかつ同一ロウアドレスにデータが書き込まれている場合の一例の説明図、図9は、同じくそのような書きを行う場合のタイミングチャートである。図8では、図6とSDRAMの構成は同じであるが、図6に示すようにSDRAMのバンクアドレス0、ロウアドレス0、カラムアドレス0～4までに5つのデータ「ABCDE」を格納し、次に、バンクアドレス0、ロウアドレス0、カラムアドレス5～7までに3つのデータ「FGH」を格納した状態を示している。

【0007】 このような5つのデータ「ABCDE」を書き込むはじめのアクセスコマンドと、3つのデータ「FGH」を書き込む次のアクセスコマンドを順に実行する場合、まず図9に示す①のサイクルでアクセスするロウ信号をアサートし、アドレス信号によりアクセスするバンクアドレスおよびロウアドレスを指定する。これにより、指定したバンクをアクティブ状態にする。この例では、バンクアドレス0、ロウアドレス0を指定している。次に②のサイクルにおいて、アクセスするカラム信号およびライト信号をアサートし、アドレス信号としてアクセスするバンクアドレスおよびカラムアドレスを指定する。ここではバンクアドレス0、カラムアドレス0を指定している。さらに、書き込む最初のデータ

40 「A」をデータ信号にセットする。次のサイクルから順次、書き込むデータ「BCDE」をサイクル毎に出力する。これにより、はじめのアクセスコマンドに基づく書き込み動作を行うことができる。

【0008】 次のアクセスコマンドでは、はじめのアクセスコマンドとバンクアドレス及びロウアドレスが同じであるため、①のサイクルに対応するバンクアドレス及びローアドレスの指定は行わない。はじめのアクセスコマンドにおける最後のデータ「E」を書き込んだ次のサイクル③において、次のアクセスコマンドにおいてアクセスするカラム信号およびライト信号をアサートし、ア

ドレス信号としてアクセスするバンクアドレスおよびカラムアドレスを指定する。この場合、バンクアドレス0、カラムアドレス5が指定される。さらに、書き込む最初のデータ「F」をデータ信号にセットする。次のサイクルから順次、書き込むデータ「GH」をサイクル毎に出力することにより、2つ目のアクセスコマンドに基づく書込動作を行うことができる。

【0009】このように、連続するアクセスコマンドが同一バンクアドレスかつ同一ロウアドレスの場合には、2つのアクセスコマンドは連続してデータの書き込みが可能であることが分かる。

【0010】次に、はじめのアクセスコマンドと次のアクセスコマンドが同一バンクアドレスかつ別のロウアドレスをアクセスする場合について説明する。図10は、同一バンクアドレスかつ別のロウアドレスにデータが書き込まれている場合の一例の説明図、図11は、同じくそのような書き込みを行う場合のタイミングチャートである。図10では、図6とSDRAMの構成は同じであるが、図6に示すようにSDRAMのバンクアドレス0、ロウアドレス0、カラムアドレス0～4までに5つのデータ「ABCDE」を格納し、次に、バンクアドレス0、ロウアドレス1、カラムアドレス5～7までに3つのデータ「FGH」を格納した状態を示している。

【0011】このような5つのデータ「ABCDE」を書き込むはじめのアクセスコマンドと、3つのデータ「FGH」を書き込む次のアクセスコマンドを順に実行する場合、まず図11に示す①のサイクルでアクセスするロウ信号をアサートし、アドレス信号によりアクセスするバンクアドレスおよびロウアドレスを指定する。これにより、指定したバンクをアクティブ状態にする。この例では、バンクアドレス0、ロウアドレス0を指定している。次に②のサイクルにおいて、アクセスするカラム信号およびライト信号をアサートし、アドレス信号としてアクセスするバンクアドレスおよびカラムアドレスを指定する。ここではバンクアドレス0、カラムアドレス0を指定している。さらに、書き込む最初のデータ「A」をデータ信号にセットする。次のサイクルから順次、書き込むデータ「BCDE」をサイクル毎に出力する。これにより、はじめのアクセスコマンドに基づく書込動作を行うことができる。

【0012】ここで、次のアクセスコマンドはロウアドレスが異なるので、はじめのアクセスコマンドによって最後のデータ「E」を書き込んだ次のサイクル③で、ロウ信号とライト信号をアサートし、アドレス信号としてバンクアドレスを0に設定して、現在アクティブであるバンク0のプリチャージを行う。

【0013】次のアクセスコマンドを実行するために、④のタイミングでアクセスするロウ信号をアサートし、アドレス信号としてアクセスするバンクアドレスおよびロウアドレスを指定する。これにより、バンクをアクテ

10

ィブ状態にする。この例では、バンクアドレス0、ロウアドレス1を指定している。次に⑤のサイクルにおいて、アクセスするカラム信号およびライト信号をアサートし、アドレス信号としてアクセスするバンクアドレス0、カラムアドレス5を指定する。ここではバンクアドレス0、カラムアドレス5を指定している。さらに、書き込む最初のデータ「F」をデータ信号にセットする。次のサイクルから順次、書き込むデータ「GH」をサイクル毎に出力する。これにより、2番目のアクセスコマンドによる書込動作を行うことができる。

10

【0014】このように、連続するアクセスコマンドが同一バンクアドレスかつ別のロウアドレスをアクセスする場合には、2つのアクセスコマンド間にプリチャージ、及びバンクアクティブの動作を挿入しなければならない。そのため、例えば図11に示す例では実際に書き込みを行うアクセスの間に、4サイクルの時間がかかることが分かる。

20

【0015】最後に、はじめのアクセスコマンドと次のアクセスコマンドが別のバンクアドレスをアクセスする場合について説明する。図12は、別のバンクアドレスにデータが書き込まれている場合の一例の説明図、図13は、同じくそのような書き込みを行う場合のタイミングチャートである。図12では、図6とSDRAMの構成は同じであるが、図6に示すようにSDRAMのバンクアドレス0、ロウアドレス0、カラムアドレス0～4までに5つのデータ「ABCDE」を格納し、また、バンクアドレス1、ロウアドレス1、カラムアドレス5～7までに3つのデータ「FGH」を格納した状態を示している。

30

【0016】このような5つのデータ「ABCDE」を書き込むはじめのアクセスコマンドと、3つのデータ「FGH」を書き込む次のアクセスコマンドを順に実行する場合、まず図13に示す①のサイクルでアクセスするロウ信号をアサートし、アドレス信号によりアクセスするバンクアドレスおよびロウアドレスを指定する。これにより、指定したバンクをアクティブ状態にする。この例では、バンクアドレス0、ロウアドレス0を指定している。次に②のサイクルにおいて、アクセスするカラム信号およびライト信号をアサートし、アドレス信号としてアクセスするバンクアドレスおよびカラムアドレスを指定する。ここではバンクアドレス0、カラムアドレス0を指定している。さらに、書き込む最初のデータ「A」をデータ信号にセットする。次のサイクルから順次、書き込むデータ「BCDE」をサイクル毎に出力する。これにより、はじめのアクセスコマンドに基づく書込動作を行うことができる。

40

【0017】次のアクセスコマンドでは、アクセスするバンクが異なるので、事前に例えば③のサイクルなどで、アクセスするロウ信号をアサートし、アドレス信号によりアクセスするバンクアドレスおよびロウアドレス

50

を指定し、指定したバンクをアクティブ状態にしておくことができる。この例では、バンクアドレス1、ロウアドレス1を指定し、バンク0へのデータの書き込み中にバンク1をアクティブ状態にしている。

【0018】事前にバンクアドレス1、ロウアドレス1をアクティブにしているため、はじめのアクセスコマンドによる書き動作が終了したらすぐに、④のサイクルにおいて、アクセスするカラム信号およびライト信号をアサートし、アドレス信号としてアクセスするバンクアドレスおよびカラムアドレスを指定することができる。ここではバンクアドレス1、カラムアドレス5を指定している。さらに、書き込む最初のデータ「F」をデータ信号にセットする。次のサイクルから順次、書き込むデータ「GH」をサイクル毎に出力する。これにより、2番目のアクセスコマンドに基づく書き動作を行うことができる。

【0019】さらに、バンクアドレス0のプリチャージは、バンクアドレス1への書き動作中に行うことができる。例えば⑤のサイクルで、ロウ信号とライト信号をアサートし、アドレス信号としてバンクアドレスを0に設定することによって、バンク0のプリチャージを行うことができる。

【0020】このように、連続するアクセスコマンドが別のバンクアドレスをアクセスする場合にも、2つのアクセスコマンドは連続して書き動作を行うことが可能であることが分かる。

【0021】上述のような動作を利用した従来技術として、例えば特開平10-162131号公報や、特開平10-11356号公報に記載されている技術がある。特開平10-162131号公報に記載されている技術では、DRAMのアクセスを同一バンクアドレスかつ同一ロウアドレスまたは別バンクアドレスのアクセスコマンドが続くように、画像データを格納する領域を予め確保しておく。これによって、上述のような連続したアクセスが多くなるようにし、DRAMアクセスを高速化している。

【0022】しかしながら、例えばプリンタの中間言語をラスターイメージに展開するような場合、描画されるイメージの座標は中間言語によりページ内のどこに移動するか分からず、DRAMへのアクセスはランダムアクセスになる。このような場合には、上述のようにメモリの割り付けを予め決めていたのでは効率が悪くなってしまうという問題がある。

【0023】また特開平10-11356号公報に記載されている技術では、現在処理しているアクセスコマンドと同一バンク、同一ロウアドレスのアクセスコマンドが存在する場合、優先的にそのコマンドを次に処理するコマンドとして順序を入れ替えるものである。これにより、同一バンクアドレスかつ同一ロウアドレスによるアクセスが実現でき、コマンド間を空けずにアクセスする

ことができる。

【0024】しかしこの技術の場合にも、上述のようにメモリアクセスのランダム性が大きい場合、コマンドバッファ内に同一バンクアドレスかつ同一ロウアドレスのアクセスコマンドが存在する可能性が少なく、アクセス効率が悪かった。

#### 【0025】

【発明が解決しようとする課題】本発明は、上述した事情に鑑みてなされたもので、DRAMへのランダムアクセス時にもアクセス時間を短縮して高速化したメモリアクセスシステムを提供することを目的とするものである。

#### 【0026】

【課題を解決するための手段】本発明は、アクセスコマンドを受け取ってDRAMへのアクセスを行うメモリアクセスシステムであって、複数のアクセスコマンドについて、現在処理をしているコマンドと次に処理するコマンドが違うバンクアドレスをアクセスするようにアクセスコマンドの順序を入れ替え、入れ替えた順序でDRAMへのアクセスを行うものである。上述のように、違うバンクアドレスへのアクセスは連続して行うことができるので、このような入れ替えを行うことによって、連続アクセスが可能になる。しかも、ランダムアクセスが発生する状況では、バンクアドレスが異なるアクセスコマンドが多く存在する可能性があり、有効にアクセス時間の短縮を図ることができる。また、データの格納領域を予め確保しておく等の制限は不要であり、メモリを効率よく利用することが可能である。

【0027】さらに本発明では、連続するアクセスコマンドが別のバンクをアクセスするように、複数のアクセスコマンドのうち一部または全部を複数のアクセスコマンドに分割してもよい。例えば違うバンクアドレスをアクセスするアクセスコマンドが少ない場合でも、少ないバンクアドレスをアクセスする1ないし複数のアクセスコマンドについて分割する。これによって、アクセスが少なかったバンクアドレスに対するアクセスコマンドを増加させることができる。そのため、隣接するアクセスコマンド間で異なるバンクアドレスをアクセスするように入れ替えを行って連続アクセスを行うことができる可能性が増加し、さらなるアクセス時間の短縮が可能になる。

#### 【0028】

【発明の実施の形態】図1は、本発明のメモリアクセスシステムの実施の一形態を示すブロック図である。図中、1はコマンド発生部、2はアクセスコマンド保持部、3はアクセスタイミング制御部、4はSDRAM、5はアクセスコマンド制御部、6はデータ出力制御部、11～14はコマンドバッファ、15～17はセレクタである。この例においては、コマンド発生部1の側からライトコマンドを発行してデータをSDRAM4に格納

し、そのデータを、データ出力制御部6からのリードコマンドにより読み出して出力する構成例を示している。

【0029】コマンド発生部1は、この例ではSDRAM4に対するライトコマンドを発生する。図2は、ライトコマンドのデータ構造の一例の説明図である。ライトコマンドは、例えば図2に示すように、ライトアクセス開始アドレス（バンクアドレス、ロウアドレス、カラムアドレス）、ライトデータ、ライトバースト数（転送データ量）などで構成されている。なお、このコマンド発生部1を設けず、例えば図2に示したようなライトコマンドが外部から入力されるように構成してもよい。

【0030】アクセスコマンド保持部2は、コマンド発生部1で発生した複数のライトコマンドを保持する。この例では、アクセスコマンド保持部2内には4つのコマンドバッファ11～14を有しており、コマンド発生部1から発生したライトコマンドは、コマンドバッファ11、12、13の順に空きがあるか否かを判断して、空いているコマンドバッファに転送される。コマンドバッファ11に格納されているライトコマンドは、次にアクセスタイミング制御部3に送られる。また、コマンドバッファ14は、アクセスコマンド制御部でライトコマンドを分割してライトコマンドが増加する場合に利用される。コマンドバッファ11～13の入力側にはそれぞれセレクタ15～17が設けられており、前段のコマンドバッファ12～14が保持しているライトコマンド、コマンド発生部1からのライトコマンド、アクセスコマンド制御部5からのライトコマンドのいずれかを選択する。もちろん、アクセスコマンド保持部2はこのような構成に限られるものではなく、複数のライトコマンドを順序付けして保持できればよい。もちろん、保持するコマンド数も任意である。

【0031】アクセスタイミング制御部3は、SDRAM4の状態を管理しながら、アクセスコマンド保持部2からのライト要求、データ出力制御部6からのリード要求を受け取り、SDRAM4へのアクセスを実行する。

【0032】アクセスコマンド制御部5は、アクセスコマンド保持部2に保持されているライトコマンドを、現在アクセスタイミング制御部3でアクセス処理中のライトコマンドと、次に処理するライトコマンドが違うバンクアドレスをアクセスするように、アクセスコマンド保持部2内のライトコマンドを入れ替える。また、入れ替えに際して、必要があればライトコマンドの分割を行い、分割したライトコマンドを用いて連続するライトコマンドが違うバンクアドレスをアクセスするように入れ替えを行う。

【0033】図3は、アクセスコマンド制御部における分割、順次入れ替え制御処理の一例を示すフローチャートである。なお、図3の説明及び以下の説明において、コマンドバッファ11に格納されているライトコマンドをA、コマンドバッファ12に格納されているライトコ

マンドをB、コマンドバッファ13に格納されているライトコマンドをCとして示している。また、図3においては、現在処理中のコマンドを「現在」と称している。

【0034】まずS21において、現在、アクセスタイミング制御部3で処理中のコマンドのアドレスと、コマンドバッファ11に格納されているライトコマンド

(A)のアドレスを比較する。比較の結果、同一バンクアドレスかつ別のロウアドレスでなければ、アクセスが遅くなることはない。すなわち、同一バンクアドレスか

15 同一ロウアドレスであれば、図8、図9で説明したように連続したアクセスが可能である。また、異なるバンクアドレスであれば、図12、図13で説明したように、この場合も連続したアクセスが可能である。そのため、S22において、アクセスコマンド制御部5による分割及び順序の入れ替えは行わない。

【0035】S21における比較結果が、同一バンクアドレスかつ別のロウアドレスである場合には、図10、図11で説明したように、アクセスが遅くなる。この場合には、S23において、コマンドバッファ12に格納

20 されているライトコマンド(B)またはコマンドバッファ13に格納されているライトコマンド(C)のいずれかに、現在、アクセスタイミング制御部3にて処理中のコマンドのアドレスと別のバンクアドレスのものが存在するか否かを判断する。判断の結果、別のバンクアドレスのものが存在しなければ、すべて同一バンクアドレスのため、次のライトコマンドとして別のバンクアドレスのものを選択することはできない。この場合には、S24において、例えば同一バンクアドレスかつ同一ロウアドレスのライトコマンドが存在すれば、そのライトコマンドを続けて実行するように順序を入れ替えるとよい。同一バンクアドレスかつ同一ロウアドレスのライトコマンドがなければ、そのままの順序で実行することになる。

【0036】S23における比較の結果、別バンクアドレスのライトコマンドが存在する場合には、さらにS25において、コマンドバッファ12及びコマンドバッファ13に格納されているライトコマンド(B)及び(C)の両方が、現在、アクセスタイミング制御部3にて処理中のコマンドのアドレスと別のバンクアドレスであるか否かを判断する。判断の結果、コマンドバッファ12及びコマンドバッファ13に格納されているライトコマンド(B)及び(C)の両方が、現在、アクセスタイミング制御部3にて処理中のコマンドのアドレスと別のバンクアドレスである場合には、S26において、アクセスコマンド制御部5でコマンド順序の入れ替えを行う。

この場合には、コマンドバッファ11に格納されているライトコマンド(A)と、コマンドバッファ12に格納されているライトコマンド(B)とを入れ替える。これによって、現在処理中のコマンドのバンクアドレスと新たにコマンドバッファ11に格納されたライトコマ

ンド (B) のバンクアドレスが異なる。また、新たにコマンドバッファ 1 1 に格納されたライトコマンド (B) と、新たにコマンドバッファ 1 2 に格納されたライトコマンド (A) のバンクアドレスも異なる。さらに、新たにコマンドバッファ 1 2 に格納されたライトコマンド (A) と、コマンドバッファ 1 3 に格納されたライトコマンド (C) のバンクアドレスも異なる。このように、ライトコマンドの入れ替えを行うことによって、連続するライトコマンドのバンクアドレスを異ならせることができ、アクセスを高速化することができる。

【0037】S 2 5 の判断で、コマンドバッファ 1 2 及びコマンドバッファ 1 3 に格納されているライトコマンド (B) 及び (C) の両方が、現在、アクセスタイミング制御部 3 にて処理中のコマンドのアドレスと別のバンクアドレスであると判断されなかつた場合には、S 2 7 の判断を行う。この場合には、コマンドバッファ 1 2 に格納されているライトコマンド (B) あるいはコマンドバッファ 1 3 に格納されているライトコマンド (C) のいずれか一方のみが、現在、アクセスタイミング制御部 3 にて処理中のコマンドのアドレスと別のバンクアドレスである。S 2 7 において、コマンドバッファ 1 2 に格納されているライトコマンド (B) が、現在、アクセスタイミング制御部 3 にて処理中のコマンドのアドレスと別のバンクアドレスであるか否かを判定する。

【0038】S 2 7 でコマンドバッファ 1 2 に格納されているライトコマンド (B) が、現在、アクセスタイミング制御部 3 にて処理中のコマンドのアドレスと別のバンクアドレスであると判断された場合、さらに S 2 8 において、コマンドバッファ 1 1 に格納されているライトコマンド (A) と、コマンドバッファ 1 3 に格納されているライトコマンド (C) とが同一バンクアドレスかつ同一ロウアドレスであるか否かを判定する。コマンドバッファ 1 2 に格納されているライトコマンド (B) が、アクセスタイミング制御部 3 にて現在処理中のコマンドのアドレスと別のバンクアドレスである場合、単純にはコマンドバッファ 1 1 とコマンドバッファ 1 2 内のライトコマンド (A), (B) を入れ替える。しかし、入れ替えた後に、コマンドバッファ 1 3 内のライトコマンド (C) と同一バンクアドレスになつてしまふ場合が発生する。S 2 8 ではこのような場合を判定している。

【0039】S 2 8 でコマンドバッファ 1 1 に格納されているライトコマンド (A) と、コマンドバッファ 1 3 に格納されているライトコマンド (C) とが同一バンクアドレスかつ同一ロウアドレスであると判定された場合、S 2 9 において、アクセスマント制御部 5 でコマンド順序の入れ替えを行う。この場合には、コマンドバッファ 1 1 に格納されているライトコマンド (A) と、コマンドバッファ 1 2 に格納されているライトコマンド (B) とを入れ替える。これによって、現在処理中のコ

マンドのバンクアドレスと新たにコマンドバッファ 1 1 に格納されたライトコマンド (B) のバンクアドレスが異なる。また、新たにコマンドバッファ 1 1 に格納されたライトコマンド (B) と、新たにコマンドバッファ 1 2 に格納されたライトコマンド (A) のバンクアドレスも異なる。さらに、新たにコマンドバッファ 1 2 に格納されたライトコマンド (A) と、コマンドバッファ 1 3 に格納されたライトコマンド (C) とは、同一バンクアドレスかつ同一ロウアドレスである。このように、ライトコマンドの入れ替えを行うことによって、連続するライトコマンドのバンクアドレスを異ならせ、あるいは同一バンクアドレスかつ同一ロウアドレスのライトコマンドを連続させることができるので、アクセスを高速化することができる。

【0040】S 2 8 でコマンドバッファ 1 1 に格納されているライトコマンド (A) と、コマンドバッファ 1 3 に格納されているライトコマンド (C) とが同一バンクアドレスかつ同一ロウアドレスでなかつた場合、コマンドバッファ 1 1 に格納されているライトコマンド (A) とコマンドバッファ 1 2 に格納されているライトコマンド (B) を入れ替えると、新たなコマンドバッファ 1 2 内のライトコマンド (A) とコマンドバッファ 1 3 に格納されているライトコマンド (C) とが同一バンクアドレスかつ別のロウアドレスとなつてしまう。そのため、S 3 0 において、コマンドバッファ 1 2 に格納されているライトコマンド (B) を分割し、コマンド順序の入れ替えを行う。ここでは、分割したライトコマンドを B' , B" として示している。

【0041】図 4 は、コマンド分割の一例の説明図である。具体例として、図 4 (A) に示すライトコマンドでは、バンクアドレス 0, ロウアドレス 0, カラムアドレス 5 から、バースト数 2 0 のデータを SDRAM 4 に書き込む例を示している。このようなライトコマンドを、例えばバースト数が 1 0 ずつの 2 つのライトコマンドに分割することができる。すなわち、図 4 (B) に示すように、バンクアドレス 0, ロウアドレス 0, カラムアドレス 5 から、バースト数 1 0 のデータを書き込むライトコマンドと、図 4 (C) に示すように、バンクアドレス 0, ロウアドレス 0, カラムアドレス 1 5 から、バースト数 1 0 のデータを書き込むライトコマンドに分割することができる。もちろん、分割の際に、バースト数をいくつに分割するかは任意であるが、望ましくは、バンクプリチャージ及びバンクアクティブのためのサイクル数を考慮して分割するとよい。

【0042】S 3 0 におけるコマンド順序の入れ替えは、分割したライトコマンドの一方 (ここでは B' ) をコマンドバッファ 1 1 へ、コマンドバッファ 1 1 に格納されていたライトコマンド (A) をコマンドバッファ 1 2 へ、分割したライトコマンドの他方 (ここでは B" ) をコマンドバッファ 1 3 へ、コマンドバッファ 1 3 に格

納されていたライトコマンド（C）をコマンドバッファ14へ、それぞれ格納することによって行う。これによって、コマンド順序はB'，A，B''，Cの順となる。このようなコマンドの分割及び順序の入れ替えによって、コマンド間はすべて別のバンクアドレスとなり、アクセスを高速化することができる。

【0043】S37でコマンドバッファ12に格納されているライトコマンド（B）が、現在、アクセスタイミング制御部3にて処理中のコマンドのアドレスと同一バンクアドレスであると判断された場合、コマンドバッファ13に格納されているライトコマンド（C）が、現在、アクセスタイミング制御部3にて処理中のコマンドのアドレスと別のバンクアドレスである。この場合には、現在処理中のコマンド、コマンドバッファ11に格納されているライトコマンド（A）、コマンドバッファ12に格納されているライトコマンド（B）は、同一のバンクアドレスである。そのため、別のバンクアドレスをアクセスするコマンドバッファ13に格納されているライトコマンド（C）をコマンドバッファ11あるいはコマンドバッファ12に格納されるように順序を入れ替える、いずれかの連続するコマンド間で同一バンクアドレスとなってしまう。

【0044】連続するコマンドが同一バンクアドレスであっても、同一ロウアドレスであればよいので、S31において、コマンドバッファ11に格納されているライトコマンド（A）と、コマンドバッファ12に格納されているライトコマンド（B）とが同一バンクアドレスかつ同一ロウアドレスであるか否かを判定する。コマンドバッファ11に格納されているライトコマンド（A）と、コマンドバッファ12に格納されているライトコマンド（B）とが同一バンクアドレスかつ同一ロウアドレスである場合、S32において、この2つのライトコマンドの順序を保ったまま、コマンドの順序の入れ替えを行う。すなわち、コマンドバッファ13に格納されているライトコマンド（C）をコマンドバッファ11へ、コマンドバッファ11に格納されていたライトコマンド（A）をコマンドバッファ12へ、コマンドバッファ12に格納されているライトコマンド（B）をコマンドバッファ13へ、それぞれ格納させる。このようにして、現在処理中のコマンドのバンクアドレスと新たにコマンドバッファ11に格納されたライトコマンド（C）のバンクアドレスが異なる。また、新たにコマンドバッファ11に格納されたライトコマンド（C）と、新たにコマンドバッファ12に格納されたライトコマンド（A）のバンクアドレスも異なる。さらに、新たにコマンドバッファ12に格納されたライトコマンド（A）と、コマンドバッファ13に格納されたライトコマンド（B）とは、同一バンクアドレスかつ同一ロウアドレスである。このように、ライトコマンドの入れ替えを行うことによって、連続するライトコマンドのバンクアドレスを異な

らせ、あるいは同一バンクアドレスかつ同一ロウアドレスのライトコマンドを連続させることができるので、アクセスを高速化することができる。

【0045】S31でコマンドバッファ11に格納されているライトコマンド（A）と、コマンドバッファ12に格納されているライトコマンド（B）とが同一バンクアドレスかつ同一ロウアドレスでなかった場合、現在処理中のコマンド、コマンドバッファ11に格納されているライトコマンド（A）、コマンドバッファ12に格納されているライトコマンド（B）は、同一バンクアドレスでかつ別々のロウアドレスをアクセスするものであり、アクセスの効率が悪い。このような場合には、S33において、バンクアドレスが異なるコマンドバッファ13内のライトコマンド（C）を分割し、コマンド順序の入れ替えを行う。ここでは、分割したライトコマンドをC'、C''として示している。このライトコマンドの分割は、上述の図4に示した具体例と同様にして行えばよい。コマンド順序の入れ替えは、分割したライトコマンドの一方（ここではC'）をコマンドバッファ11へ、コマンドバッファ11に格納されていたライトコマンド（A）をコマンドバッファ12へ、分割したライトコマンドの他方（ここではC''）をコマンドバッファ13へ、コマンドバッファ12に格納されていたライトコマンド（B）をコマンドバッファ14へ、それぞれ格納することによって行う。これによって、コマンド順序はC'，A，C''，Bの順となる。このようなコマンドの分割及び順序の入れ替えによって、コマンド間はすべて別のバンクアドレスとなり、アクセスを高速化することができる。

【0046】図5は、本発明のメモリアクセスシステムの実施の一形態における動作の具体例の説明図である。図5（b）に本発明のメモリアクセスシステムの実施の一形態を用いた場合の動作の具体例を示し、比較例として、図5（a）には従来のメモリアクセス時の動作を示している。なお、図中の横軸は、処理に要する時間を表す時間軸であり、縦線で区分して各サイクルを示している。また、図中の上部及び下部に、それぞれのタイミングで実行されているライトコマンドを示している。さらに、図中の斜線でハッチングを施して示したサイクルは、バンクアクティブのためのサイクルであり、クロスハッチングを施して示したサイクルはバンクプリチャージを行うためのサイクルを示している。

【0047】この具体例では、図中の上下に示すライトコマンドを処理する場合について説明する。ここで、ライトコマンド（N）は現在処理中のライトコマンドを示しており、バンクアドレス0、ロウアドレス0、カラムアドレス0からバースト数10でデータNを書き込むコマンドである。ライトコマンド（A）はバンクアドレス0、ロウアドレス1、カラムアドレス0からバースト数10でデータAを書き込むライトコマンドである。同様

に、ライトコマンド (B) はバンクアドレス 0、ロウアドレス 2、カラムアドレス 0 からバースト数 10 でデータ B を書き込むコマンド、ライトコマンド (C) はバンクアドレス 1、ロウアドレス 0、カラムアドレス 0 からバースト数 10 でデータ C を書き込むコマンドである。また、後述するように、ライトコマンド (C') 及びライトコマンド (C") は、本発明によりライトコマンド (C) を分割したものである。

【0048】まず、従来のメモリアクセス時の動作について説明する。ライトコマンド (N) とライトコマンド (A) は、同一バンクアドレス、別ロウアドレスのため、連続して実行させるには実際のライトアクセス以外に両者のアクセス間でバンクプリチャージ、バンクアクティブのために計 4 サイクルかかる。これは、図 10、図 11 で説明したとおりである。ライトコマンド (A) とライトコマンド (B) についても、同様な理由でライトアクセス以外にバンクプリチャージ、バンクアクティブのために計 4 サイクルが必要である。ライトコマンド (B) とライトコマンド (C) は、バンクアドレスが異なるため、バンクプリチャージ、バンクアクティブの処理はライトコマンド (B) の実行中に行うことができ、この 2 つのライトコマンドについては連続してデータの書きを行うことができる。

【0049】これに対して本発明のメモリアクセスシステムでは、図 3 に示したフローチャートに従ってライトコマンド (A) ~ (C) を処理する場合、S 3 3 における処理が行われる。すなわち、ライトコマンド (C) をライトコマンド (C') とライトコマンド (C") の 2 つに分割し、分割した 2 つのライトコマンドをライトコマンド (N) とライトコマンド (A) の間、及び、ライトコマンド (A) とライトコマンド (B) の間に挿入する順序を入れ替える。これによって、ライトコマンドは図中の下部に示すように、(N) → (C') → (A) → (C") → (B) のように並べ替えられる。バンクアドレスを参照して分かるように、このような順に並べ替えたライトコマンドは、バンクアドレスが連続しない。そのため、図 5 (b) に示すように、バンクプリチャージ及びバンクアクティブを、実際の書き込み動作と並行して行うことができ、従ってデータの書き込み動作を連続して行うことができる。そのため、メモリアクセスを高速化することができる。図 5 に示した例では、図 5 (a) に示す従来のアクセス方法では 50 サイクルかかっているが、本発明のメモリアクセスシステムでは図 5 (b) に示すように 42 サイクルで処理が終了している。

【0050】以上、本発明のメモリアクセスシステムの実施の一形態について説明した。本発明はこの実施の一形態に限られるものではなく、種々の変形が可能である。例えば、上述のようにアクセスコマンド保持部 2 に保持するコマンド数は 3 つ（あるいは 4 つ）に限られる

ものではなく、さらに多くのコマンドを保持可能に構成してもよい。多くのコマンドを保持することができれば、別のバンクをアクセスするコマンドが存在する確率が高くなり、並べ替えや必要に応じて分割を行うことによって、さらにアクセスの高速化を実現することができる。また、その場合には 1 つのコマンドを必要に応じて 3 分割以上したり、複数のコマンドについて分割してもよい。

【0051】また、図 1 に示した例では、コマンド発生部 1 の側からライトコマンドを発行してデータを SDRAM 4 に格納し、そのデータを、データ出力制御部 6 からのリードコマンドにより読み出して出力する構成例を示しているが、本発明はこれに限られるものではない。ライトコマンドによる書き込み動作だけでなく、リードコマンドによる読み出し動作も含めて、同様に並べ替えや必要に応じて分割を行い、アクセスを高速化することができる。

#### 【0052】

【発明の効果】以上の説明から明らかなように、本発明によれば、違うバンクアドレスへのアクセスを行うアクセスコマンドが連続するように、必要に応じてアクセスコマンドを分割し、アクセスコマンドの並び替えを行って、DRAM へのアクセスを行う。これによって、DRAM へのアクセスを高速化してアクセス時間を短縮することができるという効果がある。特に、例えばランダムアクセスが発生する場合には、違うバンクアドレスへのアクセスを行うアクセスコマンドが発生する確率が高く、そのような用途に対しては高い効果を得ることができる。

#### 【画面の簡単な説明】

【図 1】 本発明のメモリアクセスシステムの実施の一形態を示すブロック図である。

【図 2】 ライトコマンドのデータ構造の一例の説明図である。

【図 3】 アクセスコマンド制御部における分割、順次入れ替え制御処理の一例を示すフローチャートである。

【図 4】 コマンド分割の一例の説明図である。

【図 5】 本発明のメモリアクセスシステムの実施の一形態における動作の具体例の説明図である。

【図 6】 一般的な SDRAM の構成の模式図である。

【図 7】 一般的な SDRAM へのアクセス時のタイミングチャートである。

【図 8】 同一バンクアドレスかつ同一ロウアドレスにデータが書き込まれている場合の一例の説明図である。

【図 9】 同一バンクアドレスかつ同一ロウアドレスにデータの書き込みを行う場合のタイミングチャートである。

【図 10】 同一バンクアドレスかつ別のロウアドレスにデータが書き込まれている場合の一例の説明図である。

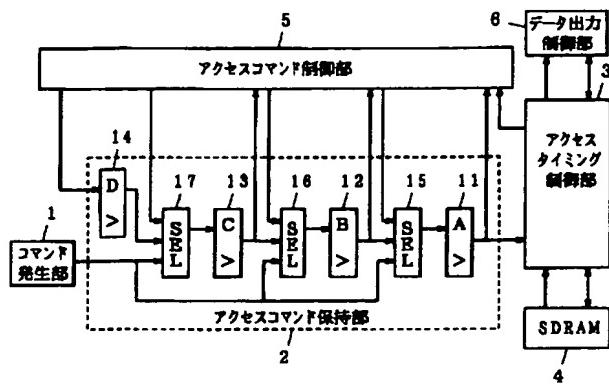
【図 11】 同一バンクアドレスかつ別のロウアドレス

にデータの書きを行う場合のタイミングチャートである。

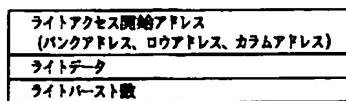
【図12】 別のバンクアドレスにデータが書き込まれている場合の一例の説明図である。

【図13】 別のバンクアドレスにデータの書きを行う場合のタイミングチャートである。

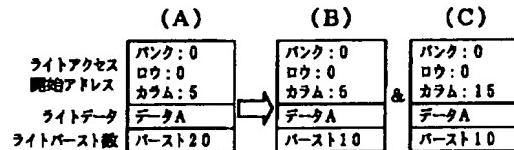
【図1】



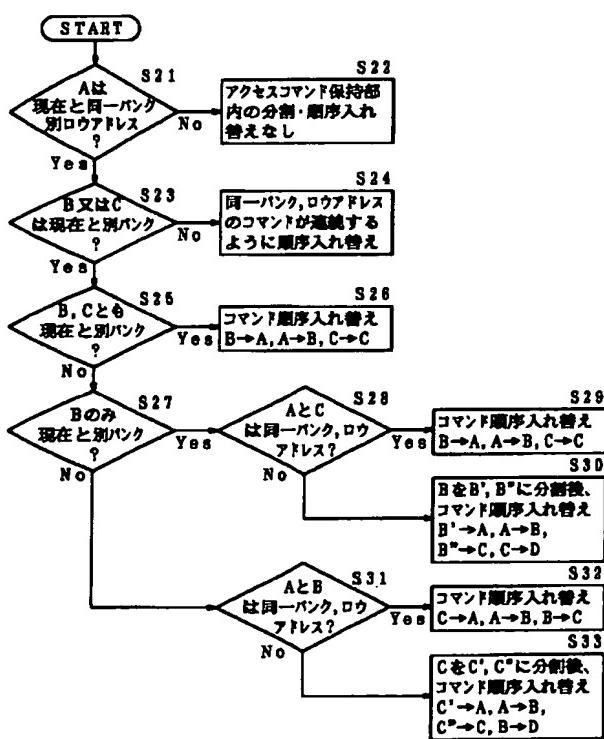
【図2】



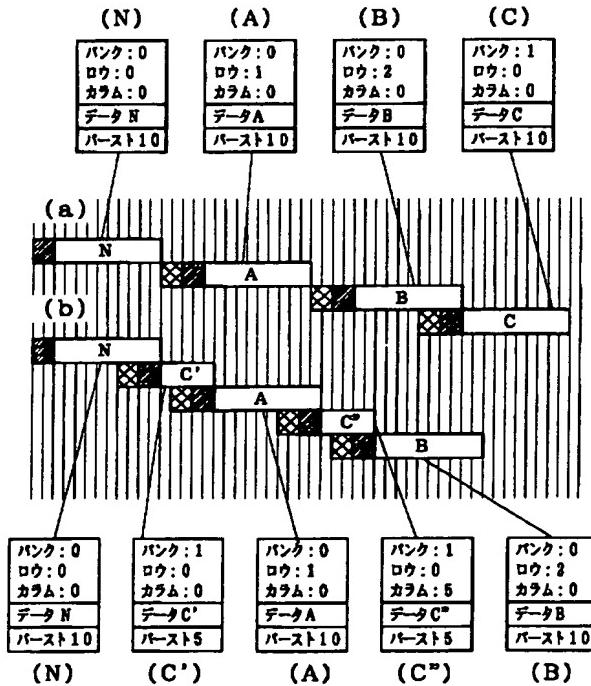
【図4】



【図3】



【図5】



## 【符号の説明】

1…コマンド発生部、2…アクセスコマンド保持部、3…アクセスタイミング制御部、4…SDRAM、5…アクセスコマンド制御部、6…データ出力制御部、11～14…コマンドバッファ、15～17…セレクタ。

【図 6】

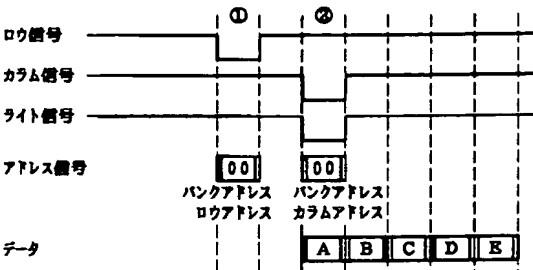
		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0	A							
	1	B							
	2	C							
	3	D							
	4	E							
	5								
	6								
	7								

パンクアドレス0

		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0								
	1								
	2								
	3								
	4								
	5								
	6								
	7								

パンクアドレス1

【図 7】



【図 8】

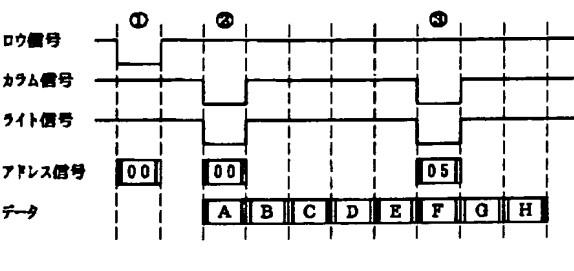
		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0	A							
	1	B							
	2	C							
	3	D							
	4	E							
	5	F							
	6	G							
	7	H							

パンクアドレス0

		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0								
	1								
	2								
	3								
	4								
	5								
	6								
	7								

パンクアドレス1

【図 9】



【図 10】

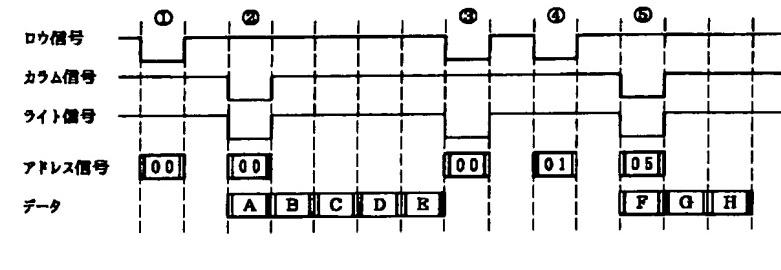
		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0	A							
	1	B							
	2	C							
	3	D							
	4	E							
	5	F							
	6	G							
	7	H							

パンクアドレス0

		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0								
	1								
	2								
	3								
	4								
	5								
	6								
	7								

パンクアドレス1

【図 11】



【図 12】

		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0	A							
	1	B							
	2	C							
	3	D							
	4	E							
	5	F							
	6	G							
	7	H							

パンクアドレス0

		ロウアドレス							
		0	1	2	3	4	5	6	7
カラムアドレス	0								
	1								
	2								
	3								
	4								
	5								
	6								
	7								

パンクアドレス1

【図 13】

